

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-219631

(43)公開日 平成7年(1995)8月18日

(51)Int.Cl.⁹

G 0 5 B 23/02

識別記号

3 0 2 Y

庁内整理番号

7531-3H

V 7531-3H

G 7531-3H

X 7531-3H

7531-3H

F I

技術表示箇所

G 0 5 B 15/ 02

A

審査請求 未請求 請求項の数4 F D (全 10 頁) 最終頁に続く

(21)出願番号

特願平6-33141

(22)出願日

平成6年(1994)2月4日

(71)出願人 000175272

三浦工業株式会社

愛媛県松山市堀江町7番地

(72)発明者 重松 信義

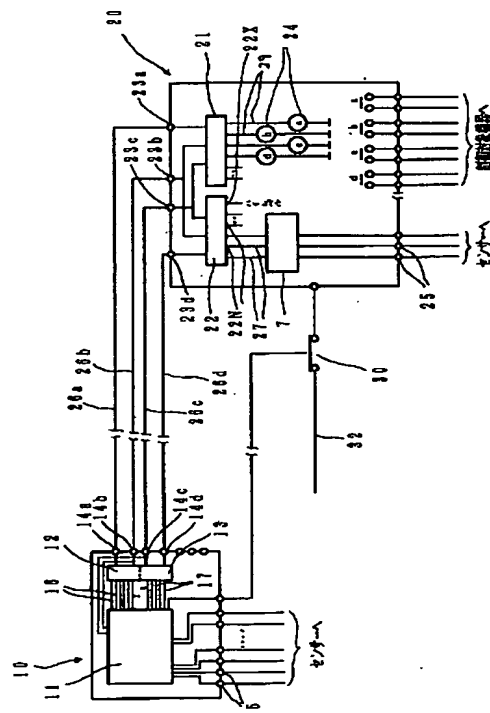
愛媛県松山市堀江町7番地 三浦工業株式会社内

(54)【発明の名称】 機器の制御装置

(57)【要約】

【目的】 主制御装置と補助制御装置間のシリアル通信用伝送ラインの外れ等の異常の検出を容易に行うこと。

【構成】 補助制御装置20において外部信号が入力されない第2パラレル-シリアル変換手段22の平行信号入力部22Xにダミービット信号を入力し、主制御装置10において補助制御装置20からの受信信号中の所定位置にダミービット信号が存在するかどうかを判定し、その存在が判定されない時に異常処理を行うことを特徴とする。



1

【特許請求の範囲】

【請求項 1】 マイクロコンピュータ、このマイクロコンピュータから出力されるパラレル送信信号をシリアル送信信号に変換して第 1 伝送ラインに出力する第 1 パラレル-シリアル変換手段及び第 2 伝送ラインからのシリアル受信信号をパラレル受信信号に変換してマイクロコンピュータに出力する第 1 シリアル-パラレル変換手段を含む主制御装置と、この主制御装置から前記第 1 伝送ラインを通して送信される信号により制御される被制御素子、前記第 1 伝送ラインからのシリアル受信信号をパラレル受信信号に変換して前記被制御素子に出力する第 2 シリアル-パラレル変換手段、パラレル送信信号をシリアル送信信号に変換して前記第 2 伝送ラインに出力する第 2 パラレル-シリアル変換手段及びこの第 2 パラレル-シリアル変換手段の複数のパラレル信号入力部に接続される複数の外部信号入力ラインを含む補助制御装置とを備える機器の制御装置において、前記第 2 パラレル-シリアル変換機構の外部信号が入力されない信号入力部にダミービット信号を入力するダミー信号入力手段と、前記補助制御装置からの受信信号中に前記ダミービット信号が存在するかどうかを判定する判定手段と、この判定手段によりその存在が判定されない時に異常処理を行う異常処理手段とを備えたことを特徴とする機器の制御装置。

【請求項 2】 請求項 1 において、第 1 伝送ラインと第 2 伝送ラインを別の信号線で構成することを特徴とする機器の制御装置。

【請求項 3】 請求項 1 において、補助制御装置にダミービット信号を一定周期毎に出力するダミー信号出力手段を、主制御装置に前記一定周期毎のダミービット信号の有無を判定する判定手段をそれぞれ備えたことを特徴とする機器の制御装置。

【請求項 4】 マイクロコンピュータ、このマイクロコンピュータから出力されるパラレル送信信号をシリアル送信信号に変換して第 1 伝送ラインに出力する第 1 パラレル-シリアル変換手段及び第 2 伝送ラインからのシリアル受信信号をパラレル受信信号に変換してマイクロコンピュータに出力する第 1 シリアル-パラレル変換手段を含む主制御装置と、この主制御装置から前記第 1 伝送ラインを通して送信される信号により制御される被制御素子、前記第 1 伝送ラインからのシリアル受信信号をパラレル受信信号に変換して前記被制御素子に出力する第 2 シリアル-パラレル変換手段、パラレル送信信号をシリアル送信信号に変換して前記第 2 伝送ラインに出力する第 2 パラレル-シリアル変換手段及びこの第 2 パラレル-シリアル変換手段の複数のパラレル信号入力部に接続される複数の外部信号入力ラインを含む補助制御装置とを備える機器の制御装置において、前記マイクロコンピュータから出力されるパラレル送信信号にダミービット信号を含ませる第 1 ダミー信号入力手段と、前記補助

2

制御装置の第 2 シリアル-パラレル変換手段にて受信のシリアル受信信号中のダミービット信号を第 2 シリアル-パラレル変換手段に入力する第 2 ダミー信号入力手段と、第 2 パラレル-シリアル変換手段からの受信信号中に含まれるダミービット信号の有無を判定する判定手段と、この判定手段によりその存在が判定されない時に異常処理を行う異常処理手段とを備えたことを特徴とする機器の制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、マイクロコンピュータ（以下マイコンという）を備える主制御装置とこの主制御装置からの制御信号により通電が制御されるリレーなどの被制御素子を備える補助制御装置とからなるボイラ等の機器の制御装置に関する。

【0002】

【従来の技術】 従来のこの種制御装置をボイラを例にとり説明する。例えば、小型、簡易クラスのボイラ（温水ボイラを含む）における制御装置においては、ボイラ構成機器（給水ポンプ、燃料ポンプ、送風機や各配管中の電磁弁等）はマイコンからの制御信号により夫々に対応するリレーを介して制御される。また、上記の構成機器の運転状況は、圧力スイッチ、感震器、過電流検出器等の各種センサによって検出し、マイコンに入力している。

【0003】 マイコンは、一般にごく微弱な電圧で動作しており、高圧の電気やノイズに弱いという問題点を有している。上記のようなリレーは一般的に高電圧の接点を開閉しており、また、上記の圧力スイッチ、感震器、過電流検出器等の接点式のセンサは高電圧の接点の開閉によって状態の検出を行なっているため、マイコンの近くにこのようなリレーやセンサが存在するとその開閉時のノイズによってマイコンが誤動作する恐れが多分にある。

【0004】 また、マイコン及びその周辺半導体素子は動作温度範囲が上記のようなリレー、センサ類に比べて狭く、人間がボイラの操作を行うための操作パネルや表示装置等の近辺、即ち、人間によって操作可能な環境下に設置するのが通常である。一方、前記のようなリレー、センサ類は、高温・高圧等の環境条件においても設置可能である。

【0005】 こうした点を考慮して、マイコンを含む主制御装置と、前記リレー等を含んだ補助制御装置とはそれぞれマイコン基板とリレー基板に別個に搭載され、マイコン基板はノイズの少ない、温度等の環境条件が良い場所に配置され、両基板は互いに距離をおいて配置されている。こうした従来の具体的構成を図 7 に従い説明する。

【0006】 即ち、従来の制御装置はマイコン 2 やその周辺半導体素子（図示しない）を含む主制御装置 1 と、

3

制御対象機器への通電制御等を行う補助制御装置3とからなり、それぞれ別個の基板上に構成されている。この補助制御装置3は、センサ（図示しない）からの出力を主制御装置1に入力するための中継器を兼ねている。上記補助制御装置3の各リレー4、4・・・と主制御装置1との接続及び相互間の信号の送受は、主制御部2から延びる各リレー4、4・・・に対応する伝送ライン5、5・・・により個別に行い、センサ出力と主制御装置1との接続及び相互間の信号の送受は各センサ毎に対応する伝送ライン6、6・・・により個別に行なっていた。尚、センサからの信号は、一部は補助制御装置3に設けたインターフェース回路部7を介して行なっており、このインターフェース回路部7は、センサからの高電圧の信号をマイコン等の電子機器が取り扱う低電圧の信号（例えば、200Vを5V）に変換する電圧変換機能を備えている。

【0007】

【発明が解決しようとする課題】しかしながら、上記のような制御装置においてより効率的な運転のために制御の対象となる機器を増加させたり、センサの数を増加させると、その増加に対応してリレーの数が多くなり、同時にリレー毎、センサ毎の伝送用配線の本数も多くなる。従って、その配線に係る費用やノイズ対策の費用も多くなるという問題が生じる。特に、上記のリレーや白熱電球の駆動等のように高速の信号伝達が不要な場合には、上記の様な出力に1個毎に対応した配線を引回すことは過剰品質となる。

【0008】こうした課題を解決すべく、主制御装置ではマイコンから出力されるパラレル送信信号をシリアル送信信号に変換して第1伝送ラインに出力して補助制御装置へ送信し、補助制御装置ではシリアル受信信号をパラレル信号に変換して被制御素子に出力し、補助制御装置にて入力のパラレル外部信号をシリアル送信信号に変換し第2伝送ラインに出力し、主制御装置ではシリアル受信信号をパラレル信号に変換してマイコンに取り込むように構成することにより、伝送ライン数を減少させセンサやリレーの増加に対応することが考えられる。

【0009】しかしながら、こうした解決手段においては、伝送ライン数を減少できる利点は有るものの何らかの原因で受信用の伝送ラインが外れたり、断線しただけで、全てのセンサ信号等の外部入力信号を補助制御装置から主制御装置へ伝送できなくなる。そして、補助制御装置に入力されるセンサ信号等の外部入力信号の特定信号パターンと伝送ラインの外れ等が生じた場合の信号パターンとが同一となる場合があり、伝送ラインの外れ等の異常の検出が容易に行えないという課題があった。

【0010】

【課題を解決するための手段】この発明は、上記の課題を解決することを目的としてなされたもので、請求項1の発明は、マイコン、このマイコンから出力されるパラ

4

レル送信信号をシリアル送信信号に変換して第1伝送ラインに出力する第1パラレルーシリアル変換手段及び第2伝送ラインからのシリアル受信信号をパラレル受信信号に変換してマイコンに出力する第1シリアルーパラレル変換手段を含む主制御装置と、この主制御装置から前記第1伝送ラインを通して送信される信号により制御される被制御素子、前記第1伝送ラインからのシリアル受信信号をパラレル受信信号に変換して前記被制御素子に出力する第2シリアルーパラレル変換手段、パラレル送信信号をシリアル送信信号に変換して前記第2伝送ラインに出力する第2パラレルーシリアル変換手段及びこの第2パラレルーシリアル変換手段の複数のパラレル信号入力部に接続される複数の外部信号入力ラインを含む補助制御装置とを備える機器の制御装置において、前記第2パラレルーシリアル変換手段の外部信号が入力されない前記パラレル信号入力部にダミービット信号を入力するダミー信号入力手段と、前記補助制御装置からの受信信号中に前記ダミービット信号が存在するかどうかを判定する判定手段と、この判定手段によりその存在が判定されない時に異常処理を行う異常処理手段とを備えたことを特徴とし、請求項2の発明は、請求項1において、第1伝送ラインと第2伝送ラインを別の信号線で構成することを特徴とし、請求項3の発明は、請求項1において、補助制御装置にダミービット信号を一定周期毎に入力するダミー信号入力手段を、主制御装置に前記一定周期毎のダミービット信号の有無を判定する判定手段をそれぞれ備えたことを特徴とし、請求項4の発明は、マイコン、このマイコンから出力されるパラレル送信信号をシリアル送信信号に変換して第1伝送ラインに出力する第1パラレルーシリアル変換手段及び第2伝送ラインからのシリアル受信信号をパラレル受信信号に変換してマイコンに出力する第1シリアルーパラレル変換手段を含む主制御装置と、この主制御装置から前記第1伝送ラインを通して送信される信号により制御される被制御素子、前記第1伝送ラインからのシリアル受信信号をパラレル受信信号に変換して前記被制御素子に出力する第2シリアルーパラレル変換手段、パラレル送信信号をシリアル送信信号に変換して前記第2伝送ラインに出力する第2パラレルーシリアル変換手段及びこの第2パラレルーシリアル変換手段の複数のパラレル信号入力部に接続される複数の外部信号入力ラインを含む補助制御装置とを備える機器の制御装置において、前記マイコンから出力されるパラレル送信信号にダミービット信号を含ませる第1ダミー信号入力手段と、前記補助制御装置の第2シリアルーパラレル変換手段にて受信のシリアル受信信号中のダミービット信号を第2シリアルーパラレル変換手段に入力する第2ダミー信号入力手段と、第2パラレルーシリアル変換手段からの受信信号中に含まれるダミービット信号の有無を判定する判定手段と、この判定手段によりその存在が判定されない時に異常処理を行う異

5

常処理手段とを備えたことを特徴とする。

【0011】

【作用】請求項1の手段によれば、第2パラレルーシリアル変換手段における外部信号が入力されない信号入力部にダミービット信号が入力され、補助制御装置から主制御装置へ向けて送信されるシリアル信号中にダミービット信号が含まれるようになり、主制御装置側では判定手段により受信信号中にダミービット信号が含まれているかどうかを判定することにより、伝送ラインの外れ等による異常時に、ダミービット信号が含まれていないと判断されたときは異常処理手段により異常処理が行われる。請求項2の手段によれば、主制御装置から補助制御装置への信号の送信が第1伝送ラインを通して行われ、補助制御装置から主制御装置への信号の受信が前記第1伝送ラインと別個の第2伝送ラインを通して行われ、補助制御装置側にマイコンなどの伝送制御手段を必要とせず、主制御装置と補助制御装置との間で信号が送受される。請求項3の手段によれば、補助制御装置から主制御装置へダミービット信号が一定周期毎に送信され、主制御装置ではこの一定周期毎のダミービット信号の有無が判定される。請求項4の手段によれば、主制御装置では第1ダミー信号入力手段によりマイコンから出力されるパラレル送信信号にダミービット信号が含まれ、そのパラレル送信信号がシリアル信号に変換されて補助制御装置に送信され、補助制御装置では第2シリアルーパラレル変換手段にて受信のシリアル受信信号中のダミービット信号を第2シリアルーパラレル変換手段に入力され、主制御装置へ送信するパラレル信号はそのデータ中にダミービット信号を含んだ状態で、第2パラレルーシリアル変換手段から主制御装置へ向けて送信される。主制御装置ではそのシリアル信号を前記第2伝送ラインを通して受信しその受信信号中に含まれるダミービット信号の有無を判定手段により判定し、この判定手段によりその存在が判定されない時に異常処理を行う。

【0012】

【実施例】以下、この発明に係るボイラの制御装置の好ましい一実施例における構成並びに作用を、図1及び図2を参照しながら説明する。尚、図1は同実施例の電気的要部概略構成図、図2は主制御装置のマイコンの処理手順の要部を示す図である。

【0013】この実施例における制御装置は、センサ等の外部信号を入力してボイラ構成機器やボイラ周辺機器（軟水器等）を含む制御対象機器に対する制御信号を出力する主制御装置10と、制御対象機器を主制御装置10からの制御信号により直接的又は間接的に制御すると共にセンサ等の外部入力信号を中継して主制御装置10へ送る機能を有する補助制御装置20とで構成される。尚、前記制御対象機器としては、通常、蒸気ボイラにおいては給水ポンプ、燃料ポンプ、送風機や各配管中の電磁弁等が該当し、電気ボイラにおいては上記燃料ポン

6

プ、送風機の代わりに電熱ヒータが該当する。

【0014】上記主制御装置10は、マイコン11及びメモリ等の周辺半導体素子（図示しない）、第1パラレルーシリアル変換機構12、第1シリアルーパラレル変換機構13、データ伝送用端子14a、14b、14c、14d、センサ用端子群15を1枚の基板上に備えており、上記補助制御装置20は、第2シリアルーパラレル変換機構21、第2パラレルーシリアル変換機構22、データ伝送用端子23a、23b、23c、23d、リレーからなる被制御素子24、24・・・、センサ用の外部信号入力端子群25・・・を主制御装置10と別の基板上に備えている。そして、主制御装置10側の前記データ伝送用端子と、補助制御装置20側の前記データ伝送用端子とを、対応する端子同志を送信用第1伝送ライン26a、第3伝送ライン26b、第4伝送ライン26c、受信用第2伝送ライン26dで接続し、主制御装置10と補助制御装置20との間の信号、即ち各制御対象機器の運転を変更あるいは維持するための制御信号及びマイコン11に対する各センサからのボイラの運転状況の出力信号はこれら4本の伝送ラインを通して送受される。即ち、主制御装置10から補助制御装置20へのシリアル送信データは第1伝送ライン26aを通して、主制御装置10から補助制御装置20へのシリアルデータの各データの同期用のクロックは第3伝送ライン26bを通して、データの始まりと終わりのタイミング信号は第4伝送ライン26cを通して、又補助制御装置20から主制御装置10へ送信のシリアル送信データは第2伝送ライン26dを通してそれぞれ伝送される。尚、被制御素子側においてクロックタイミングが同期する非同期通信を採用するのであればクロック信号線26bとタイミング制御線26cは省略できる。

【0015】前記主制御装置10のマイコン11は、後述する各センサからの外部入力信号に基づいて、ボイラの運転状況を判断し、各制御対象機器の運転状況を変更あるいは維持するための信号を出力するものである。そして、マイコン11は図示しない記憶装置に予め記憶した処理手順に従い補助制御装置20から受信のデータ信号に後述のダミービット信号が含まれているかどうかで、伝送ラインの断線や外れの異常を検知しそれを報知する等の異常処理機能等の種々機能をなす。前記処理手順の要部の一例は図2に示される。

【0016】前記第1パラレルーシリアル変換機構12並びに第1シリアルーパラレル変換機構13は、上記マイコン11とデータ伝送用端子14a、14b、14c、14dとの間に接続してあり、マイコン11と第1パラレルーシリアル変換機構12との間は、マイコン11の処理単位ビット数、例えば8ビットに対応する本数のデータライン16、16・・・によって接続し、マイコン11とシリアルーパラレル変換機構13との間も、同様にマイコン11の処理単位ビット数に対応する本数の

10

20

30

40

50

7

データライン17, 17……によって接続する。

【0017】前記第1パラレルーシリアル変換機構12は、前記マイコン11から複数のデータライン16, 16……によって並列的に伝送される信号を、一組（今の
場合8ビット）の直列のデータ（シリアルデータ）信号
に変換し、補助制御装置20に向けて出力する。ここ
で、パラレルーシリアル変換機構12から出力されるデ
ータ信号は、一組（まとめ或いは一かたり）のシリア
ルデータ列の各ビットが被制御素子毎の動作の指示に対
応している。具体的には、例えば8個の被制御素子24
a, 24b, 24c, 24d……をそれぞれ、「ON」
「OFF」「ON」「ON」……するように制御したい
場合は、マイコン11から8ビットのパラレル制御信号
「1011……」が8本のデータライン16a, 16
b, 16c, 16d……へ出力される。即ち、データラ
イン16aによる送信信号「1」は被制御素子24aの
制御信号となり、データライン16bによる送信信号
「0」は被制御素子24bの制御信号となり、データラ
イン16cによる送信信号「1」は被制御素子24cの
制御信号となり、データライン16dによる送信信号
「1」は被制御素子24dの制御信号……となる。従っ
て、このシリアルデータの1ビット目の信号で被制御素
子24aがONされ、2ビット目の信号で被制御素子2
4bがONされるというように8ビット一組のシリアル
データ列の各ビットが被制御素子毎の動作の指示に対
応している。尚、例えば、18個の被制御素子が第2シ
リアルーパラレル変換機構21に接続されていて、これを
制御したい場合はマイコン11からは8ビット一組のシ
リアルデータ信号が2回に出力される。勿論、マイコン
11が16ビットを処理単位とするのであれば1回の主
力
で済むが、この場合変換機構12は16ビット対応の
ものをを用いる。

【0018】また、前記第1シリアルーパラレル変換機
構13は、前記補助制御装置20からの一組の時系列的
なデータ（シリアルデータ）を、所定のビット数毎（今
の場合8ビット）に分割受信することにより、前記マイ
コン11への複数のデータライン17, 17……によっ
て並列的に伝送される信号に変換し、マイコン11に入
力する。そして、第1シリアルーパラレル変換機構13
から出力されるデータ信号は、後述のように各データ
ライン17, 17……の各ビットが各センサの出力に対
応している。尚、第2伝送ライン26dは主制御装置10
の端子14dと変換機構13との間の部分でプルダウン
してローレベルに維持されているので受信用データラ
イン26dが外れると第1シリアルーパラレル変換機構1
3の受信データはオール「0」となり、これによりマイ
コン11の入力信号が全て「0」のデータとなる。前記
の第1パラレルーシリアル変換機構12、第1シリアル
ーパラレル変換機構13としては、単体のシフトレジス
タや、マイコン11に内蔵のシフトレジスを用いる。

8

【0019】前記補助制御装置20の第2シリアルーパ
ラレル変換機構21は、主制御装置10からの受信デー
タ信号（シリアルデータ）を、各被制御素子24……毎
の並列的な制御信号に変換する。具体的には、例えば8
ビットのシリアル信号は8ビットのパラレル制御信号
「1011……」に変換され、各ビットに対応する8本
の制御出力ライン29a, 29b, 29c, 29d……
により8個の被制御素子24a, 24b, 24c, 24
d……に伝達され、それぞれ「ON」「OFF」「O
N」「ON」……するように制御される。

【0020】前記補助制御装置20のセンサ用端子群2
5……は、ボイラの運転状況を検出するための各センサ
からの信号を入力するためのもので、センサ用端子群2
5……に接続されるセンサとしては上述の蒸気圧カスイ
ッチ、感震器、過電流検出器等のような高電圧の接点の
開閉により行なう接点式のセンサがある。尚、これらセ
ンサからの信号は、図2に示す従来例同様に、一部は補
助制御装置20に設けたインターフェース回路部7を介
して、残りはインターフェース回路部7を介さずに第2
パラレルーシリアル変換機構22に入力される。前記パ
ラレルーシリアル変換機構22は、センサ用端子群25
……に接続した各センサから入力される外部信号をシ
リアル信号に変換する。具体的には例えば8ビットに対
応する本数の外部信号入力ライン27, 27……を通して
変換機構22の入力部22Nに入力される信号を、8ビ
ットシリアルデータ信号に変換し、第2伝送ライン26
dを通して主制御装置10に向けて出力する。そして、
入力部22Nの中で外部信号入力ライン27が接続され
ていない入力部22Xがあり、この入力部22Xはダミ
ービット入力部として用いられる。即ち、この入力部2
2Xにハイレベル信号を入力することでダミービット信
号「1」が入力される。

【0021】従って、第2パラレルーシリアル変換機構
22から出力される一組のシリアルデータ列の各ビット
データが信号ライン27, 27……を通して入力される
各センサ毎の「0」又は「1」の検出値とダミービット
「1」に対応している。例えば、7種類の外部信号と1
ビットのダミービットとからなる場合には、変換機構1
2から出力されるシリアルデータ列は「1110……
1」のような8ビットの信号となり、例えば最後のビッ
トをダミービットとする。ダミービットの位置はどの入
力部22Nをダミービット入力部22Xとするかでハー
ド的に任意に設定される。前記の第2シリアルーパラ
レル変換機構21、第2パラレルーシリアル変換機構22
としては、上述同様に単体のシフトレジスタを用いる。

【0022】前記被制御素子24, 24……としては、
上述のように給水ポンプ、燃料ポンプ、送風機や各配管
中の電磁弁等のような制御対象機器を微弱な低電圧の信
号によって動作させるための手段、特にリレーやこれに
代わる駆動手段であるが、他にはLED、白熱灯等の表

示用、警告用、照明用等のランプ類や、フォトカプラ等の中で第2シリアルーパラレル変換機構21の出力電圧（例えば5V）で直接的に駆動できる直接制御の制御対象機器も本発明で言う被制御素子に含まれる。又、補助制御装置20は電源供給ライン32を備え、このラインにはマイコン11によりON-OFFされる接点30を有している。

【0023】また、前記の主制御装置10側のセンサ用端子群15には、主に、ボイラ缶体の温度を検出する温度センサー、バーナの火炎状況を検出する炎センサー、ボイラ缶体内の圧力を検出する圧力センサー等のような連続値を計測し出力するセンサを接続する。勿論、主制御装置10側のセンサ用端子群15には、前記のような接点式のセンサを接続しても構わない。

【0024】次に、図1及び図2に従い上記の実施例の作用を説明する。外部信号入力ライン27...を介してセンサからの状態信号「1」又は「0」信号が第2パラレルーシリアル変換機構22の入力部22Nに入力されると共に、ダミービット信号「1」が入力部22Xに入力される。その結果、変換機構22に入力されるパラレルデータ信号は例えば「1110...1」のような7ビットの外部信号と1ビットのダミービットを含む8ビットのデータ信号となる。今の場合、最後のビット「1」をダミービットとする。このパラレル信号は変換機構22によりまとめた8ビットのシリアルデータ信号「1110...1」として第2伝送ライン26dに出力され、主制御装置10の第1パラレルーシリアル変換機構13に受信され、ここで再び8ビットパラレルデータ信号に変換され、データライン17、17...を介してマイコン11に受信される。

【0025】処理ステップS1（以下SNは処理ステップSNを意味する）において、第1シリアルーパラレル変換機構13に受信データが存在するかどうか（受信途中の状態かどうか）を判定する。NOの場合、S1にとどまる。YESの場合、S2へ移行して受信データ内の所定ビット位置にダミービット信号が含まれているかどうかを判定する。ダミービットの位置は前記ダミービット信号入力部22Xをどこに設定するかにより分かっているのでマイコン11で判定できるように予めプログラムしておく。S2でYESが判定されると、S4へ移行して受信したデータを予め定められた処理手順に従い処理してリターンする。S2でNOが所定回数（1回又は複数回）判定されると、S3へ移行して図示しない表示器等の報知装置に伝送ラインの異常を報知すると共に、接点30を開いてボイラ装置を停止する異常処理を行う。尚、異常の報知はボイラ装置の異常停止表示とその原因を示す「伝送ライン異常」等の表示とを同時に行うことが望ましい。

【0026】第2伝送ライン26dに断線や外れ（尚、外れの場合、通常伝送ラインは束ねられているか、少な

くとも端子部（コネクタ部）で一体化されているので、全ての伝送ラインが外れることになる）が生ずると従来ではマイコンに「0000...0」の8ビット信号が入力され、センサからの外部入力信号（状態信号）が全て「0」の場合の受信信号「0000...0」と判別できなかった。しかしながら、本実施例によれば伝送ライン26dの外れが無い正常時はマイコン11の受信信号の所定ビット位置にダミービット信号「1」が含まれているので、S2及びS3の処理を行うことで、正常と異常とが判別ができる。そして異常の場合必要な異常処理を行うことができ、制御装置にフェールセーフ機能を持たせることができる。このように第一の実施例では第2パラレルーシリアル変換機構22の空き入力部を用いてチェックビット（ダミービット）を入力して、伝送ラインの異常を簡単に行うことができる効果がある。

【0027】次に、本発明の第二の実施例を図3及び図4に従い説明する。上記の図1及び図2の第一の実施例と異なるのは、第一の実施例では第2パラレルーシリアル変換手段22のダミービット入力部22Xに連続的にダミービット「1」を入力しこれをマイコン11で検出するよう構成しているのに対し、本実施例ではダミービット信号入力部22Xに「1」と「0」とを交互に入力する、又は一定間隔毎に「1」を入力するよう構成したものがある。具体的には、図3に示すように、ダミービット入力部22Xに発振器28を接続し、マイコン11の処理手順としては、S12の判定において、一定間隔毎のダミービット「1」の判定ステップを設けた点に特徴を有している。尚、S11はS1に、S13はS3に、S14はS4にそれぞれ相当し、処理内容は同様であるので説明を省略する。この第二実施例によれば、上記第二実施例の効果に加えて、「0」「1」のチェックビット信号を入力でき、2種類のチェックビットにより確実に伝送ラインの異常を検出できる効果がある。

【0028】次に、本発明の第三の実施例を図5及び図6に従い説明する。本実施例の特徴とするところは、主制御装置10側において、マイコン11からの出力信号、例えば8ビット信号のうち、被制御素子24に対する制御信号を乗せないビットを予め設定し、このビット位置にマイコン11の処理（第1ダミービット信号入力手段）によりダミービット信号を入力すると共に、補助制御装置20側では第2パラレルーシリアル変換機構22のダミービット信号入力部22Xと、被制御素子の制御に用いない出力制御ライン29...に対応する第2シリアルーパラレル変換機構21の所定の出力部21Sとを配線30で接続することで、主制御装置10で入力されたダミービット信号が前記出力部21Sから出力されて、入力部22Xに入力されるように構成した点である。本実施例のマイコン11の処理手順の要部を図6に示してあり、本実施例の動作を同図に従い説明する。S21にて、マイコン11は例えば8ビット送信データの

定められた位置にダミービット信号「1」を付加して補助制御装置20へ送信する。補助制御装置20では受信の8ビットシリアル信号が第2シリアル-パラレル変換機構21にてパラレル信号に変換されて、制御出力ライン29……から出力される。8ビットの内7ビットは被制御素子24の制御信号であるが、出力部21Sからの信号は第2パラレル-シリアル変換機構22のダミービット信号入力部22Xに入力される。こうして入力された1ビットのダミー信号は、残りの入力部22Nから入力された7ビットの信号と共にシリアル信号に変換されて、主制御装置10へ向けて送信される。

【0029】S22では、変換機構13にデータが受信（取り込まれている）かどうかを判定する。S22でNOの場合S22に留まる。YESの場合S23へ移行し、所定位置にダミービットが存在するかどうかを判定する。尚、マイコン11は変換機構12から8ビットの信号を送信すると直ちに補助制御装置20の変換機構22から変換機構13へ8ビットの信号を取り込むように構成されているので、S23の判定が可能となる。S23でNOが判定されると、S25でS3と同様な異常処理を行い処理を終了する。S23にてYESが判定されると、S24へ移行してS4と同様な正常処理を行い26へ移行する。S26では、マイコン11は送信データの定められた位置にダミービット信号「0」を付加して補助制御装置20へ送信する。S27では、変換機構13にデータが受信かどうかを判定する。S27でNOの場合S27に留まる。YESの場合S28へ移行し、所定位置にダミービットが存在するかどうかを判定する。S28でNOが判定されると、S29でS3と同様な異常処理を行い処理を終了する。S28でYESが判定され

ると、S30へ移行してS4と同様な正常処理を行う。

【0030】このように、第三の実施例ではダミービット信号を2種類送ることにより、次の効果が得られる。即ち、伝送ライン26dを主制御装置10の端子14dと変換機構13との間の部分でプルダウンしてローレベルに維持しているこの実施例では、伝送ライン26dが外れると、マイコン11の受信信号が全て「0」となるが、前記部分を逆にプルアップしてハイレベルに維持している装置では、伝送ライン26dが外れると、逆にマイコン11の受信信号が全て「1」となる。従って、「1」と「0」とを送ることで、いずれの装置にも対応できる効果がある。又、信号の伝送誤りによる誤判断を防止できる効果もある。

【0031】尚、本発明は上記実施例に限定されるのではなく、例えば次の変形実施例(1)～(5)も実施例として含むものである。

【0032】(1) 請求項1～4の制御装置を組み込んだ軟水製造装置等のボイラ以外の機器。この実施例においてもボイラと同様な効果を期待できる。

【0033】(2) 第1伝送ライン26aと第2伝送ライン26dを1本の伝送ラインで共用した制御装置。この場合、具体的には補助制御装置20側にもマイコン（図示しない）を設け、このマイコンと主制御装置10のマイコン11とで半二重の伝送を行う。この実施例によれば伝送ラインを更に減少できる効果がある。

【0034】(3) 第1パラレル-シリアル変換機構12と第1シリアル-パラレル変換機構13を1つの変換機構で共用した実施例。具体的には、マイコン11に内蔵のシフトレジスタを用いる。この実施例によれば第1パラレル-シリアル変換機構12と第1シリアル-パラレル変換機構13とを1つのマイコンに内蔵レジタで共用でき、主制御装置の小型化、コストダウンを実現できる。

【0035】(4) 図1の実施例において、ダミービット信号として「0」を入力するようにした実施例。この実施例は、伝送ライン26dを主制御装置10の端子14dと変換機構13との間の部分でプルアップしてハイレベルに維持するものに適用される。この場合、外部信号が全て「1」の受信信号パターンと区別できる。

【0036】(5) 第三の実施例の図6で、処理ステップS21～S25の一連の処理と処理ステップS26～S230の一連の処理とのうちどちらかの処理のみを行う実施例。処理ステップS21～S25の一連の処理のみ行うものは伝送ライン26dを主制御装置10の端子14dと変換機構13との間の部分でプルダウンしてローレベルとした制御装置に適し、処理ステップS26～S30の一連の処理のみ行うものは伝送ライン26dを主制御装置10の端子14dと変換機構13との間の部分でプルアップしてハイレベルとした制御装置に適する。

【0037】

【発明の効果】以上説明したように、この発明に係る制御装置によれば、複数のセンサ等の外部信号が全て「0」又は「1」によりマイコンの受信信号が全て「0」又は「1」になる場合と、主制御装置と補助制御装置を結ぶ伝送ラインの外れ、又は断線によりマイコンのマイコンの受信信号が全て「0」又は「1」になる場合とを容易に判別でき、伝送ラインの外れ、又は断線による異常判別と報知を行うことができる。従って、誤った外部入力信号による装置の誤作動を防止でき、安全性の高い制御装置を提供できる等効果が大きい。

【図面の簡単な説明】

【図1】この発明の一実施例を示す電氣的概略構成図である。

【図2】同実施例のマイコンの処理手順の一例を示すフローチャートである。

【図3】この発明の他の実施例を示す電氣的概略構成図である。

【図4】同実施例のマイコンの処理手順の一例を示すフローチャートである。

13

14

【図 5】 この発明の他の実施例を示す電氣的概略構成図である。

【図 6】 この発明の他の実施例のマイコンの処理手順の一例を示すフローチャートである。

【図 7】 従来例の電氣的概略構成図である。

【符号の説明】

10 主制御装置

11 マイコン

12 第 1 パラレル-シリアル変換機構

13 第 1 シリアル-パラレル変換機構

20 補助制御装置

21 第 2 シリアル-パラレル変換機構

22 第 2 パラレル-シリアル変換機構

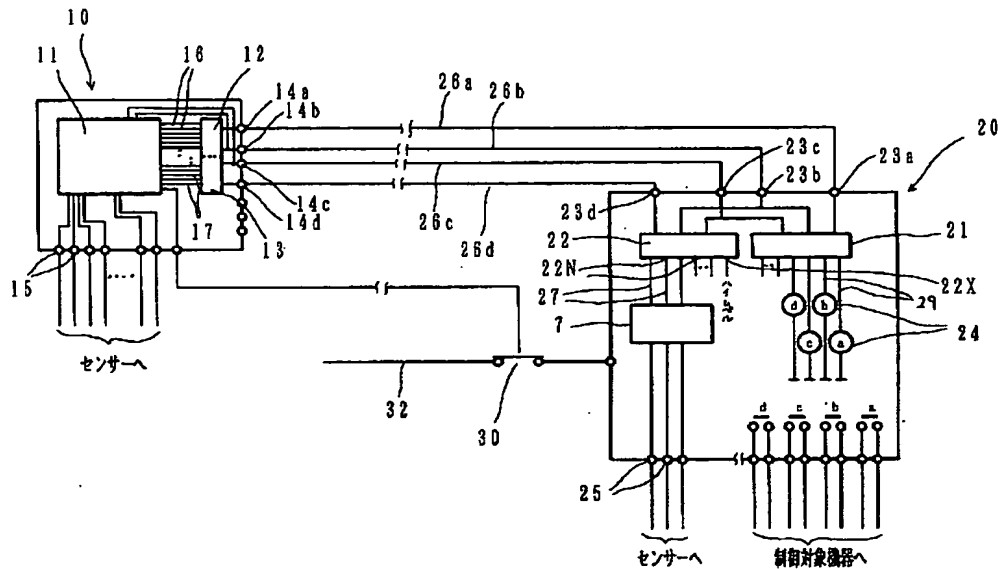
22X ダミービット入力部

23 被制御素子

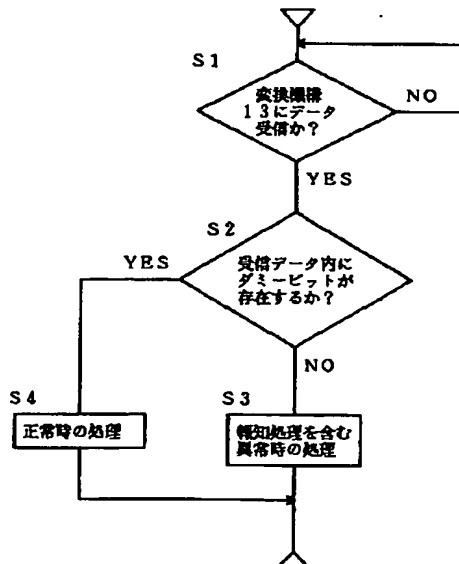
26a 第 1 データ伝送用配線

26d 第 2 データ伝送用配線

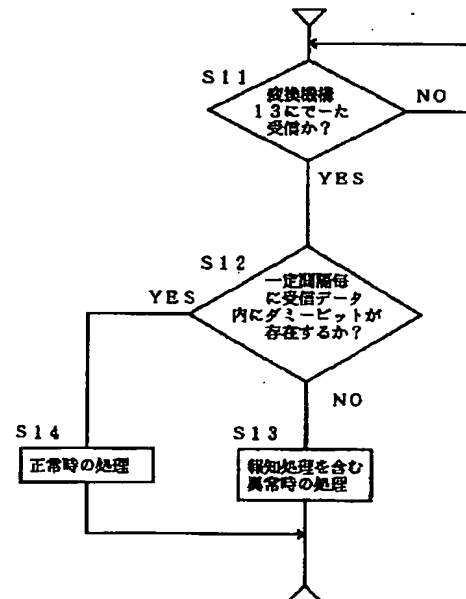
【図 1】



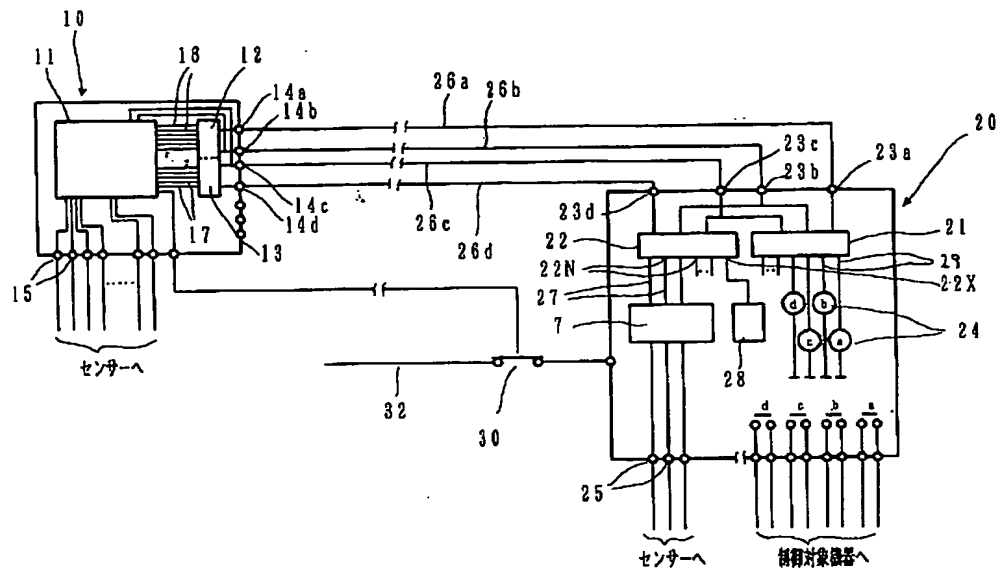
【図 2】



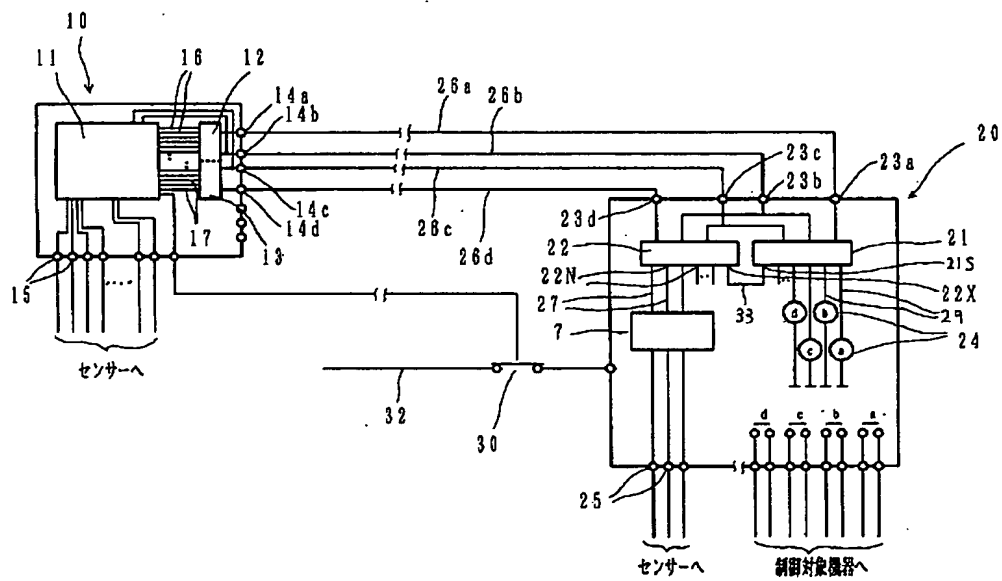
【図 4】



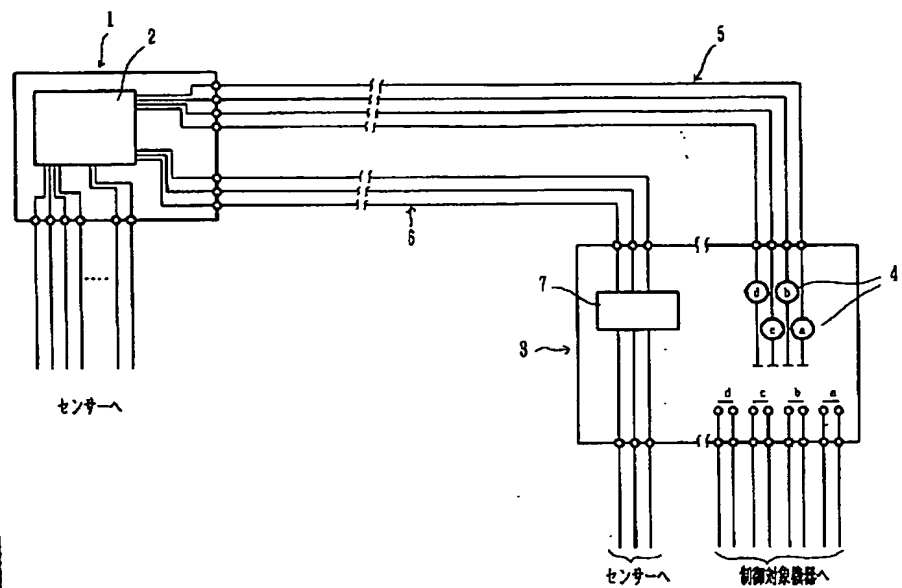
【図 3】



【図 5】



【图 7】



3 1 1 L